




ADAPTIVE SELF-REPAIR PROCESSOR ARRAY AND SIGNAL PROCESSING METHOD USING THE SAME

Publication number: JP60183645 (A)	Also published as:
Publication date: 1985-09-19	 GB2154343 (A)
Inventor(s): BAANAADO EI HIYUUBAAMAN; TATSUDO EICHI HOTSUGU +	 US4591980 (A)
Applicant(s): XEROX CORP +	 DE3501272 (A1)
Classification:	
- international: G06F11/00; G06F11/20; G06F15/16; G06N3/10; G06T1/20; G06F11/00; G06F11/20; G06F15/16; G06N3/00; G06T1/20; (IPC1-7): G06F11/22; G06F15/16	
- European: G06F11/00C4C; G06N3/10	
Application number: JP19850022744 19850207	
Priority number(s): US19840580919 19840216	

Abstract not available for **JP 60183645 (A)**

.....
Data supplied from the *espacenet* database — Worldwide

Adaptive self-repairing processor array

Publication number: US4591980 (A)

Publication date: 1986-05-27

Inventor(s): HUBERMAN BERNARDO A [US]; HOGG TAD H [US]

Applicant(s): XEROX CORP [US]

Classification:

- **international:** G06F11/20; G06F11/00; G06F15/16; G06N3/10; G06T1/20; G06F11/20; G06F11/00; G06F15/16; G06N3/00; G06T1/20; (IPC1-7): G06F15/16

- **European:** G06F11/00C4C; G06N3/10

Application number: US19840580919 19840216

Priority number(s): US19840580919 19840216

Also published as:

GB2154343 (A)

JP60183645 (A)

DE3501272 (A1)

Cited documents:

US3106698 (A)

US3287703 (A)

US4060713 (A)

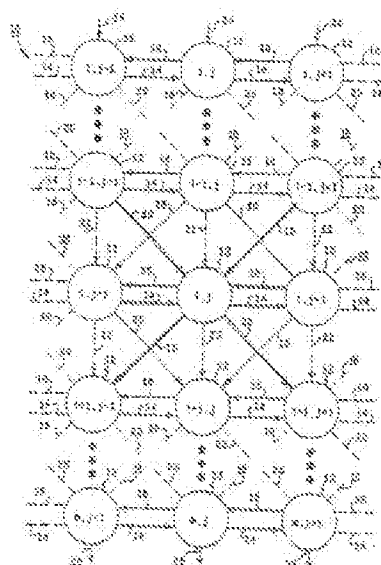
US4065808 (A)

US4215401 (A)

more >>

Abstract of US 4591980 (A)

An adaptive self-repairing processor array comprising a plurality of identical processing cells arranged in parallel orthogonal columns and rows to form a two dimensional matrix, each of said cells in the array having logic means and a memory for storing a memory state. The first row of the cells in the array forms a parallel input to the array. The last row of said cells in the array forms a parallel output from the array. The cells in the intermediate rows between the first and last rows are coupled to at least one cell in a previous cell row. The logic means in each cell computes a new data value based upon the input or inputs from such previous row cells and its present memory state. Each cell is further coupled to at least one cell in the subsequent row of cells. The computed new data value is provided as an output to the coupled cell or cells in the subsequent cell row. Each of the intermediate row cells are coupled to immediately adjacent neighbor cells of the same row to supply the new data value to these neighbor cells and correspondingly receive computed new data values from these same cells. The logic means in each cell compares the new data values received from such neighbor cells with its computed new value and accordingly updates its memory state based upon the results of the comparison.



Data supplied from the esp@cenet database — Worldwide

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭60-183645

⑬ Int.Cl.⁴
G 06 F 11/22
15/16

識別記号

庁内整理番号

7343-5B
T-6619-5B

⑭ 公開 昭和60年(1985)9月19日

審査請求 未請求 発明の数 3 (全14頁)

⑮ 発明の名称 適応自己修理プロセッサアレイ及びこれを用いた信号処理方法

⑯ 特 願 昭60-22744

⑰ 出 願 昭60(1985)2月7日

優先権主張 ⑱ 1984年2月16日 ⑲ 米国(US) ⑳ 580919

㉑ 発 明 者 バーナード エイ ヒ アメリカ合衆国 カリフォルニア州 94306 パロ アル
ユーバーマン ト ジョージア アベニュー 4152

㉒ 発 明 者 タツド エイチ ホツ アメリカ合衆国 アラスカ州 99503 アンカレッジ ウ
グ エスト フォーティセカンド プレイス ナンバー 6 - 30
32

㉓ 出 願 人 ゼロックス コーポレ アメリカ合衆国 ニューヨーク州 14644 ロチェスター
ーション ゼロックス スクエア (番地なし)

㉔ 代 理 人 弁理士 中 村 稔 外 3 名

明 細 書

1. 発明の名称 適応自己修理プロセッサアレイ
及びこれを用いた信号処理方法

2. 特許請求の範囲

1. 並列直交の列及び行に配置されて二次元マトリックスを形成する複数の同構造の処理用セルを備えており、上記セルの各々は論理手段及びメモリ状態を記憶するためのメモリを有し、最初の行の上記セルはアレイへの並列入力を形成し、最後の行の上記セルはアレイからの並列出力を形成し、上記最初及び最後の行の間の中間のセル行内のセルは先行のセル行内の少なくとも1つのセルに接続され、各セル内の上記論理手段は上記入力及びその現在のメモリ状態に基づいて新しいデータ値を計算するようになっており、上記各セルは後続のセル行内の少なくとも1つのセルに接続され、上記新しいデータ値は出力として上記後続のセル行に提供され、上記中間の行のセルの各々は同じ行の直接隣りのセルに接続されて上記新しいデータ値を上記隣りの

セルに与えるとともに対応して上記隣りのセルから新しいデータ値を受取り、各セル内の上記論理手段は上記隣りのセルから受取った新しいデータ値をその計算済みの新しいデータ値と比較して上記比較の結果に基づいてそのメモリ状態を更新するように構成されている適応自己修理プロセッサアレイ。

2. メモリ状態の更新が、一つのセット範囲の値内でのみ行われる特許請求の範囲第1項記載の適応自己修理プロセッサアレイ。

3. セルからの出力として提供される値が、一つのセットの値内でのみ完成される特許請求の範囲第1項記載の適応自己修理プロセッサアレイ。

4. 並列直交の列及び行に配置されて二次元マトリックスを形成する複数の同構造の処理用セルを備え、

最初の行の上記セルはアレイへの並列入力を形成し、上記最初の行の各セルは信号源から入力信号を受取るようになっており、

後続の行の上記セルは、上記並列直交の行及

び列に対する直交及び対角の両方向において直接隣りのセルに接続されており、更に、

先行のセル行内の上記接続されたセルから、及び同じセル行内の接続された隣りのセルから入力信号を受取るために上記セルの各々内にある手段と、

後続のセル行内の接続されたセルへ、及び同じセル行内の接続された隣りのセルへ出力信号を送り出すために上記セルの各々内にある手段と、

データ値を記憶するために各セル内にあるメモリ手段と、

上記入力信号に基づいて各行の上記セル内で同時反復的計算を行うための論理手段とを備え、各セル行の上記セルは、上記新しい入力信号及びその現在のメモリ値に基づいて新しい値を計算し、及び上記新しい値を上記接続された隣りのセルによって得られた新しい値と比較し、更に、

上記新しい値が上記現在のメモリ値と異なる

場合に上記セルの各々内のメモリ値を更新して上記新しい値を記憶するための手段を備えて成り、

上記最後の行のセルはアレイからの並列出力を形成し、上記並列出力は、瞬時値に対する不適切な変化の影響を受けたセルにおける異状または誤作動に基づく1つまたはそれ以上の上記セルの上記瞬時値に対する不適切な変化とは無関係に、元の上記信号源の並列入力の対応的増強を表すことを特徴とする適応自己修理プロセッサアレイ。

5. セルが更に、

セル内の現在のメモリ値が所定の限界値に到達した場合に上記セル内の現在のメモリ値の変化を禁止するために上記セルの各々内にある手段を含んでいる特許請求の範囲第4項記載の適応自己修理プロセッサアレイ。

6. データの波を表す信号源からの複数の入力信号を並列処理し、上記データ波の相隣る入力信号間の信号値の差に基づいて上記データ波の値

に対する増強を提供する方法において、

上記入力信号を、セル行が先行のセル行の若干の近隣のセルに及び後続のセル行の若干の近隣のセルに及び同じセル行の若干の近隣のセルに接続されているプロセッサセルの直交アレイを通して並列的に拡張する段階を有し、各上記セル行内の注目したセルに対して更に、

先行のセル行内のセルからの少なくとも1つの入力で上記注目したセル内の新しいデータ値を計算する段階と、

上記注目したセルの新しいデータ値を少なくとも1つの隣りの行セルの新しいデータ値と比較する段階と、

上記新しいデータ値が少なくとも1つの隣りの行セルの上記比較した新しい値よりも大きいまたは小さい場合には上記注目したセルの現在のデータ値を上記新しい値に更新する段階と、

上記新しいデータ値が上記少なくとも1つの隣りの行セルの上記比較した新しい値と同じまたはこれよりも大きくも小さくもない場合には

上記注目したセルの現在のデータ値を保持する段階と、

上記注目したセルの新しいデータ値を後続のセル行内の少なくとも1つのセルへ出力する段階とを有することを特徴とする入力信号並列処理方法。

7. 新しいデータ値が所定範囲の値よりも大きいかまたは小さい場合には注目したセルの現在の値のその後の変化を禁止する段階を含んでいる特許請求の範囲第6項記載の入力信号並列処理方法。

3. 発明の詳細な説明

産業上の利用分野

本発明は、相互接続された実質的に同構造のセルの二次元マトリックスを有し、上記セルは上記マトリックス内の他のセルから信号を受取って複数の入力信号に対する変換的演算を次々に行い、かかる演算に基づいて出力を作る型式の適応自己修理プロセッサアレイ及びこれを用いた信号処理方法に関する。即ち、対象とするセルの出力は隣りのセルによって行われる演算の結果によって定まり、上記結果は入力としてこのようなセルに受取られる。

従来の技術

多数の相異なる型式の並列プロセッサまたはプロセッサアレイが従来からある。多年にわたり、特に1950年代以来、セルアレイ及びセル集団の特性に関する多くの研究がなされている。この研究の多くは、人間の脳にニューロンの活動の理解及び複製、特に学習及び認識のパターンに関するものである。例えば、アール・エル・ブール

(R. L. Beurle)の論文「パルス再生可能なセルの集団の特性」(Properties of a Mass of Cells Capable of Regenerating Pulses)(ロイヤル・ソサイエティ・オブ・ロンドン・フィロソフィカル・トランザクションズ(Royal Society of London Philosophical Transactions)、シリーズB: バイオロジカル・サイエンス(Biological Sciences)、第240巻(B. 669)、8～94頁(1956年))、ディー・アール・スミス(D. R. Smith)ほかの「神経網内の保持活動」(Maintained Activity in Neural Nets)(ACM(1969年))、及び、ジー・エム・エーデルマン(G. M. Edelman)ほかの「代表的変換の制限された一般化可能な選択的回路網及び付属のメモリ」(Selective Networks Capable of Representative Transformations Limited Generalizations, and Associated Memory)(プロシーディングズ・オブ・ナショナル・アカデミー・オブ・サイエンス(Proceedings of National Academy of Science), U.S.A.第79巻、2091～2095頁(1982年

3月))を参照されたい。

これら早くからの研究以来、並列処理用の構成及び設計に対する多くの新しい開発がなされており、この開発においては、プロセッサセルアレイ内の各セル構造は、データを処理するための個別的論理能力及び制限されたメモリまたは記憶容量を有している。これら開発は、一部は、(1)極めて多数の入力データを適時に処理することの必要性、及び(2)大規模集積回路(LSI)及びその後の超LSI(VLSI)の出現によって促進された。かかる開発の文献としては、例えば、ダブリュー・エイチ・コーツ(W. H. Kautz)の「メモリアレイ内セルラ・ロジック」(Cellular Logic-in-Memory Arrays)(IEEEトランザクション・オン・コンピュータズ(Transaction on Computers)、1566～1569頁、(1971年12月))、及びディー・エイチ・ローリー(D. H. Lawrie)の「アレイプロセッサ内のデータのアクセス及び整列」(Access & Alignment of Data in An Array Processor)(IEEEトランザクション・オン・

コンピュータズ、第C-24巻、第12号、1145～1155頁(1975年12月))がある。

特許文献においてディジタル並列プロセッサについて最も基本的なものと言われているものの一つとして米国特許第3,106,698号があり、この特許のプロセッサは、論理及び記憶能力を有する同構造の処理用素子またはセルの二次元マトリックスを備えている。各セルは複数の隣りのセルに接続されており、入力データまたは信号は等価セルから入力アレイを介して各セルに直接導入される。各セル内の処理はマスタ制御器の制御の下で行われ、上記制御器は全てのセルに一般命令を送って各セル内のデータの同時処理を行わせ、マルチプレクサリンクを介してセル相互間で情報を転送する。一連りの変換が上記セルによって入力データに対して行われて出力マトリックスに到達する。中央プロセッサまたはコントローラのようなマスタ制御器の制御の下にあるかかる並列プロセッサアレイの他の例としては米国特許第

4, 065, 808号、第8, 215, 401号、第4, 270, 169号、及び第4,395,699号がある。

並列プロセッサまたはプロセッサアレイに対する最もよく知られている適用の若干のものとして、パターンの自動的認識、分析、デジタル化及び／又は分類、並びに絵図情報または英数字の文字型式情報のプロセスがある。このようなプロセッサの一例が米国特許第4, 060, 713号に開示されており、この特許は、二次元処理フィールド内で画像素子の値を隣りの画像素子と比較することによる画像の分析に関するものである。米国特許第4, 384, 273号には、時間ひずみの信号認識をもって信号パターンに整合するようになっている相互接続されたアレイセルの直交アレイが開示されている。もう一つの特許は上掲の米国特許第4, 395, 699号であり、この特許は、近隣の画素値の群を分析し、かかる群分析の結果として上記画素値を選択的に変換するためのプロセッサアレイを有する画像解析システムに関

するものである。

今回、並列計算は、数値的方法及びロボット工学から、視覚及び音声の理解のような認知プロセスまでの多くの分野において、今後益々多く使われるであろう。VLSI技術における最近の進歩により、局所的に接続された素子またはセルの規則的アレイを基礎とする並行プロセッサアレイを作ることが可能となってきている。その有用な用途のほかに、かかるプロセッサアレイは、自己編成、学習、及び認識という行動を行うという潜在的能力を有している。

しかし、アレイセル及び付属の制御手段の数が多いため、これらアレイは構成及び設計が比較的複雑である。従来のプロセッサアレイはこれらプロセッサを単純化することを目的としていたが、これは、特に、正確性が、アレイセルによって行われる処理演算において望まれる主要なパラメータ及び拘束である場合には、困難な問題である。

発明が解決しようとする問題点

本発明者等は、上述の用途における利用のため

の十分な学習能力を有し、しかも、高度の正確性に拘束されないように、即ち、アレイの1つまたはいくつかの個別セル内で生ずる可能性のある誤りに不感応の出力を提供するようにプロセッサアレイを設計することができるということを見出した。本明細書においては、この不感応性を「自己修理」と呼ぶ。

問題点を解決するための手段

本発明は、現在のVLSI技術で作ることのできる並列アレイセル内に適応行動を有するように設計した適応自己修理プロセッサアレイを提供しようとするものである。局所的接続、ワイヤが殆んどないこと、及び規則的な格子構造というような特徴があるので、このプロセッサアレイは、単一のVLSIチップ上に作るのに理想的に好適する。また、このプロセッサアレイは高度の並行性及びプログラム可能性を有し、学習、パターン認識及び連想内容アドレス指定メモリを含む有用なアレイ特性のための効率的な方法を提供する。本発明のこの新規な適応プロセッサアレイは、全体

的なアレイの動的挙動における安定な誘引子の存在を基礎とする自己修理機構を有しており、これは、通例の多重思考及び関連の多数決原理の機構とは思想的に異なるものである。

本発明の適応自己修理プロセッサアレイは、並列直交の列及び行に配置されて二次元マトリックスを形成する複数の同構造の処理用セルを備えており、上記アレイ内の最初の行のセルは該アレイに対する並列信号入力形成する。上記最初の行内の各セルは信号源から入力信号を受取る。後続の行のアレイセルは、このアレイマトリックスの並列直交の行及び列に対する直交方向及び対角方向における直接隣りのセルに接続されている。従って、各々のセル内の論理手段は、先行のセル行内の直交的または対角的に接続された1つまたはそれ以上のセルから、及び同じ行内の隣りのセルから、1つまたはそれ以上の入力を受取る。上記論理手段は、一つのセルのメモリ内のデータ値とともに受取った入力値の計算、比較分析及び更新を行なって新しいメモリデータ値及び新しい出力

データ値を提供する。この新しい出力データ値は、後続のセル行内の直交的及び／又は対角的に接続されたセルに、及び同じ行内の隣りのセルに、比較分析のために出力として提供される。

実際上は、先行の行のセルから受取られて対象とするセルに接続された入力を計算に用い、確立されているアルゴリズムまたは規則に基づいて新しいセル値を提供する。この計算は、上記セルの現在のメモリ状態の使用を含んでいる。得られた新しい値を、同じ行の2つの隣りのセルによって得られた他の新しい値と比較し、上記対象のセルの新しい値が上記隣りの行セルのいずれの新しい値とも異なっていないか、これよりも高いかまたは低いかを決定する。この値が、比較の結果、最も高い場合には、上記対象のセルのメモリ状態の値を1だけ増加する。上記値が、比較の結果、最も低い場合には、上記対象のセルのメモリ状態の値を1だけ減少する。それ以外の場合には、上記メモリ状態は不変のままである。即ち、上記値が高くも低くもない場合には、メモリ状態の変化が

なされない。この処理が、(1)上記計算された新しいデータ値を所定範囲の飽和限界内に留めておいた状態で、及び(2)入力信号が存在している限りはかかる信号の最後のものがアレイ内の最後の行のセルへ伝播するまで、継続する。

本発明の他の目的及び成果は、図面を参照して行なう本発明の実施例についての以下の詳細から明らかになり、また本発明を更によく理解できる。

実施例

第1図は本発明の適応プロセッサアレイ10の一例を示すものである。アレイ10は、並列直交の行 m 及び列 n に配置された相互接続された複数の同構造の処理セル12を具備する。図の簡単な表現形式においては、一つの行内の相隣るセルは互いに接続され、先行の行からのセルは後続の行内の対角線的に位置するセルに接続されている。

第1図はアレイ10の一部分だけを示すものである。図は、上記アレイの直接相隣る単位セル i 、 j 、並びに上記アレイの直接相隣る列及び行内の直接相隣るセルに対する上記単位セルの関係を示

すものである。アレイ10は、第1図の水平破線及び垂直行の点で示す如く、もっと多くの列及び行で拡張し、例えば、横が20セル、縦が32セル、即ち20行32列で合計640セルの大形のマトリックスを形成することができる。アレイの形状は正方形である場合も矩形である場合もある。アレイの大きさ及び形状は、必要とする入力の個数及び所望される用途の型式によって定まる。

アレイ10の中央のセル12を、行 i 及び列 j 内のセル i 、 j として示してある、即ち、上の行は行 $i-1$ であり、これに行 i が続き、その次に行 $i+1$ が続く。同様に、アレイ10の左の列は列 $j-1$ であり、これに列 j が続き、その次に列 $j+1$ が続く。

第1図におけるセル位置 $i-1$ 、 $j-1$ にあるセルは路線14によって隣りの行セル $i-1$ 、 j に接続され、そしてこの後者のセルは路線16によってセル $i-1$ 、 $j-1$ に接続される。これと同じ型式の交差接続構造は、上記と同じ参照番号を付した路線14及び16で示す如く、全ての行

$i-1$ 、 i 及び $i+1$ の行セル相互間においてもその通りである。

上述のように、先行の行のセル12は、対角路線18及び20により、後続の行のセル12に接続される。即ち、例えば、行 i 内のセル i 、 j は路線18によって後続の行 $i+1$ 内のセル $i+1$ 、 $j-1$ に対角線的に接続され、及び後続の行 $i+1$ のセル $i+1$ 、 $j+1$ に接続される。これら路線18及び20はセル i 、 j からの出力線を表わすものであり、出力線18はセル $i+1$ 、 $j-1$ への2つの入力のうちの一つであり、出力線20はセル $i+1$ 、 $j+1$ への2つの入力のうちの他の一つである。同様に、先行の行 $i-1$ 内のセル $i-1$ 、 $j-1$ からの対角路線20は行 i 内のセル i 、 j への一つの入力であり、行 $i-1$ のセル $i-1$ 、 $j+1$ からの対角路線18は行 i 内のセル i 、 j への他の入力である。

この点については、第1図に示すセル接続の構成は本発明の基本的思想内の唯一の可能な構成ではない。例えば、対角線的に接続した路線18及

び20を用いなくて、先行の行内及び後続の行内の列セルに対して破線22で示す如くに接続を行なうこともできる。他の構成として、第1図に示す実施例における路線22を含むものがある。セルの行接続は、イメージ増強、イメージ認識、エッジ認識、等に関する本発明の規則及びアルゴリズムの適用において特に重要である。

上記の一例として、第4図に、路線22によって接続されたアレイの相隣る行内に整列した列セル相互間の単一の整数入力及び出力を示す(5セル)×(8セル)アレイを示す。

第1図の部分図においては、図示及び説明の簡便化のために、一番上の行はアレイ10に対する入力行を表わしており、この入力行は最初の行または行1のセルの各々への入力線24経由であり、アレイの最後の行または出力行は行mのセルの各々からの出力線26経由である。いうまでもなく、実際には、これら末端の行と行i-1、i及びi+1との間には、追加のセルの行mがある。アレイの側部エッジまたは最初の列1及び最後の列n

はアレイの処理演算には用いられず、入力行1と出力行mとの間のアレイに対する側部境界を形成する。

各セル12は、これに接続されている同じ行内の隣りのセルの入力から、及び先行の行から、データ値を受取る。先行の行からの路線18及び20上の入力、第2A図に示すように、2つの整数入力 I_1 及び I_2 を表わす。これらの接続を介して受取られるデータ値のほかに、各セル(それ自体がプロセッサである)は、調節可能な内部メモリ状態Mを有しており、これにより、セルをその局部的環境に適応させることができる。即ち、該セルの結果たるデータ値は、隣りのセルからの入力として受取るデータ値に応じて変更されるかまたは変更されない。

即ち、第1図におけるアレイ10のm行n列の構成に対しては、各セル12には2つの整数入力 I_1 及び I_2 並びに単一の整数出力0が与えられる。アレイを通して移動する全てのデータ値は、更に、整数 S_{min} 及び S_{max} で表わされる2つの

限界間に在るように制約される。ここに、 $S_{min} < S_{max}$ であり、Sは最大および最小の飽和限界整数である。この制約はデータオーバーフローの可能性をなくし、そして更に重要なことには、後で詳述するように、アレイの高度の信頼性を提供する。 $S_{min} = -S_{max}$ であり、且つ $S_{max} = 15$ としてある対称的な場合を考えてみる。各セルの内部状態を単一の小さな整数で表わす。各セルに対する局所的計算規則またはアルゴリズムがデータ値における差を増強し、飽和プロセスが上記値を規定の範囲内に保持する。

特に、 $M_{ij}(K)$ を、固定飽和範囲、即ち、k番目のタイムステップ後にi番目の行及びj番目の列内に在るセル内に含まれた M_{min} 及び M_{max} 間のメモリ値であるとする。 $I^{(1)}_{ij}(K)$ 及び $I^{(2)}_{ij}(K)$ をこの素子に対する入力値とし、 $O_{ij}(K)$ をその出力とする。第2A図ないし第2C図について、新しいデータ値及びメモリ値を計算するステップを説明する。第2A図は、先行の行i-1から対角線的に接続されたセルからの

セルijの路線18及び20上に受取られた値 I_1 及び I_2 に基づくデータ値 $O_{ij}(K)$ に対する計算ステップを表わすものである。第2B図は比較ステップを示すものであり、このステップにおいては、上記計算済みの値が同じ行iの隣りのセルへ送られてその隣りのセルi、j-1及びi、j+1の各々のメモリデータ値と比較され、次いで、このメモリ値 M_{ij} は上記相隣るセルの計算済みデータ値との比較結果に従って更新される。第2C図は上記更新済みのメモリ値 M'_{ij} 及び新しいデータ値 O_{ij} を示すものであり、これは単一整数出力として路線18及び20上に与えられる。この処理を更に第3図の流れ図で示す。

上記のアルゴリズム及び規則を詳細に説明する前に、セル処理についての一般的説明を次に行なう。

まず、 S_{min} 及び S_{max} 、並びに M_{min} 及び M_{max} の両方に対する4つの飽和限界が所定の値に設定されているものとする。第4図について説明すると、各々が特定のデータ値を表わす入力信

号がデータ源から入力線24を介して最初の行のアレイセル12に与えられる。

次に、第2A図の計算ステップに従い、一つのセル内で出力が、先行の行内のセルから得られた路線18及び20上のデータ値 I_1 と I_2 との間の入力値の差に従って計算される。次いで、この計算済みの値に現在のメモリ値が乗ぜられて新しいデータ値 O_{ij} が作られる。第2B図について説明すると、この新しい値は、次いで、直接相隣る行セル内に得られている計算済みの新しい値と比較される。これは、同じ行内の相隣るセルとの水平接続を介して行われ、その後、隣りの出力に基づいてセルメモリの内部状態 M_{ij} を調節する。上記比較が無変化または「NO」を示す場合には、上記セル内の現在のデータ値が保持されて無変化のままになっている。しかし、上記値が、比較の結果、最高または最低となると、上記セルメモリ内の現在の累算値は、より高い、またはより低い新しい値に更新される。内部メモリ値またはセルメモリの状態 M_{ij} は、従って、 M'_{ij} に変更され、

その新しいデータ値 O_{ij} は1つまたはそれ以上の相隣るアレイセルに対する出力信号としてタスク指名される。これは、第1図の場合には、各セル12からの出力線18及び20である。

この出力が終ると、一つのタイムステップ内のセル処理の全サイクル k が得られたことになる。このセルアレイに対する最後の連りの入力未だ得られない場合には、最後の行の入力信号がアレイの最後の行 m へ伝播されるまで、このサイクルを繰返す。この時点で、処理は完了し、そして、上述の飽和限界内のデータ値は、出力線26を介する路線出力、即ち、アレイ10の並列出力信号として表される。

即ち、セル12の新しい出力は次式によって計算される。

$$O_{ij}(k-1) = \max \{ S_{\min}, \min \{ S_{\max}, M_{ij}(k) \cdot (I^{(1)}_{ij}(k) - I^{(2)}_{ij}(k)) \} \} \quad (1)$$

この式は、飽和値 S_{\min} または S_{\max} を除き、入力 I_1 と I_2 との間の差に、セルメモリ内に記憶されている値 M_{ij} を乗ずるものである。飽和限界

があるので、上記出力は上記入力の非線型関数となる。

同じ行内の相隣るセル間の接続は、どの出力を各入力に接続するかを規定することによって決定される。これは次式によって決定される。即ち、

$$I^{(1)}_{ij}(k) = O_{i-1,j-1}(k) \quad (2a)$$

$$I^{(2)}_{ij}(k) = O_{i-1,j+1}(k) \quad (2b)$$

上式は $1 \leq i \leq m$ 及び $1 \leq j < n$ の条件に対するものであり、 m 及び n は所定の行及び列の値である。これらの接続により、データは1タイムステップ k 当り1行の速度でアレイを流れていく。ステップ k においてアレイに対する外部入力信号は、 $\underline{S}(k)$ で表され、 $\underline{R}(k)$ はその結果得られる出力信号である。アレイの境界は次式によって表される。即ち、

$$O_{0j}(k) = S_j(k) \quad (3a)$$

$$O_{mj}(k) = R_j(k) \quad (3b)$$

$$O_{io}(k) = O_{i,n+1}(k) = 0 \quad (3c)$$

上式は上部、下部及び側部のエッジにそれぞれ対応するものである。

この計算プロセスはアレイを通るデータの流れを基本的に含むものであるが、この計算プロセスのはかに、メモリ値 M_{ij} を変更する適応機構がある。詳述すると、第2B図及び第2C図に示すように、セル i 、 j の出力をその左右の隣りの出力と比較する。セル i 、 j の出力が上記他の2つの出力よりも大きいかまたは小さい場合には、 M_{ij} の値が固定範囲(M_{\min} 、 M_{\max})内に留まっているという制約を条件として、 M_{ij} の値を1だけそれぞれ増加または減少する。然らざる場合には M_{ij} を変化させない。例えば、上記範囲の値は、 $M_{\min} = 1$ 及び $M_{\max} = 4$ である。これにより、例えば、データが急速に変化しつつある点におけるメモリ値を調節することによってエッジに対する局所的適応が得られる。

前述したように、この比較プロセスには各行内の相隣る行セルとの水平接続が必要である。即ち、アレイを通るデータの流れから適応プロセスを分離することにより、メモリ値を変化させることなくアレイを通じて一連りの並列入力信号を送る

ことによって被適応アレイを分析することができる。

このようなプロセッサアレイの一般的な挙動は極めて複雑となる可能性がある。しかし、考慮すべき独立の構成の数は、同じ出力を生じさせるアレイの全ての状態は同じであるとみなすと、最後の行からの出力を検討することによって大巾に減少させられる。アレイ内の「非監視学習」の定量的測度を提供するにはストロボ法が用いられる。これを第4図に示す。周期的ストリングの入力を提示し、そしてサンプリングした出力の相対応するセット間の距離(差)を計算することにより、アレイがタイムステップ k 当りの入力信号のシーケンスに適応しつつある間に該アレイ内の動的変化を検討することができる。アレイセルの内部メモリ状態 M に対する直接アクセスの必要なしに、上記種々の入力に該アレイを通してパイプラインされる。

適応モードの演算においては、即ち、各セル12の内部メモリ状態を該セルがその隣りのセル

から受取るデータ値に基づいて変更する場合に、上述の周期的サンプリングは或る特定のセットのパターンに急速に収束する。この収束の定量的測度は、次々に続く周期の入力シーケンス内の相対応する出力間の最大距離(差)によって与えられる。或る特定の信号はその出力に到達するのに m 回のステップを必要とするから、ステップ k 、 $\underline{S}(k)$ においてアレイに入る信号ベクトルは、ステップ $m+k$ 、 $\underline{R}(m+k)$ において一つの結果を生じさせる。全ての k に対して $\underline{S}(k+P) = \underline{S}(k)$ となるように P を入力周期とする。各周期に対する出力距離は次式に従って計算される。即ち、

$$d(t) = \max_{\{k\}} \| \underline{R}(m+k+P) - \underline{R}(m+k) \| \quad (4)$$

ここに、 k は、セット $\{tP+1, tP+2, \dots, (t-1)P\}$ 、即ち t 番目の周期の入力信号がアレイに入る回数の範囲にわたる。 $d(t) = 0$ で示される固定点への集束は、順次続く入力周期に対して出力が同じであるということを含意する。

第5図は、無作為に選んだ4パターン($P=4$)

からなる周期的なパイプラインされた入力を受けた方形格子に配置された64セルからなる典型的なアレイに対して行なった実験の結果を示すものである。飽和値を $S_{\max} = -S_{\min} = 1.5$ と選定した。第5図に示すように、曲線34はアレイの変化状態を表わしており、比較的短時間で点32において安定する。矢印38の位置に到るまでに約5つの周期がある。適応状況においては、アレイのストロボ的サンプリング状態は複雑な構成のメモリ値 M_i からなる。これを、第5図に「アップセット前のアレイ」と表示した上部の挿入図に示す。

第5図の2つの挿入図において、上部の挿入図は「アップセット前のアレイ」であり、下部の挿入図は「アップセット済みのアレイ」であり、星じるし(*)は4の値を表わし、ドット(・)は1の値を表わす。他の値2及び3は、図示のようにアレイ内の点において示されている。これらの記号を用いるのは、単に、上記挿入図を追って了解するのを容易にするように該挿入図の表示を錯

雑にしないためである。

点32の後のデータ値の固定点は誘引的であるという強い特性を有している。即ち、散逸動的システムにおける如く、上記固定点から離れると、初めに得られた値へ緩和して戻る傾向がある。これは、式(1)及び(2)の計算規則において用いられる緩和によって生ずるのであり、これは、アレイによる処理を通じて誤差が無制限に大きくなることを妨げる。このプロセスを、或る特定の入力がアレイの各行を通つて移動する際に飽和している部分、即ち、 S_{\min} または S_{\max} に等しいデータ値の部分をプロットすることによって示す。これを第6図に示してあり、図においては、飽和している入力信号の比率 $1/|I_{\max}|$ を時間についてプロットしてある。

これは、内部メモリ値が飽和しているということを含意するものではない。第6図は、上記64セルの方形アレイに対するこの部分を示すものである。アレイ内のセルが、並列入力信号または並列入力信号のセットに基づく値に適応するにつれ

てデータはより急速に飽和に到達する。

これらの計算構造に対する安定な誘引子の存在は、上述の式において与えられるアルゴリズム及び規則に従うアレいの適応プロセス中の自己修理の新規な機構を提供する。アレいのダイナミクスは次の如くである。即ち、新しいデータ値またはメモリ値内の小さなゆらぎを上記誘引的固定点へ向かって緩和させる。この自己修理の一般的方法は、信頼性ある計算のために用いられている標準の方法とは大きく異なっている。即ち、後者は、多数決原理を用いる多重化法に基づいており、演算当りに莫大な量のハードウェアを必要とする。しかし、本明細書に開示する方法は、従来と異なり、適応プロセッサアレいの安定な集合モードを用いる。

誤差は、適応プロセス中に、アレイが変化しつつある間にも、またはアレイが収束した後にも生ずる可能性がある。かかる誤差は、いくつかのメモリデータ値 M_{ij} を無作為に変更し、次いで、アレイ処理を前通りに進ませることにより、または、

するときの、時間に対する関数である距離(差) d を示すものである。距離により、「アップセット前のアレイ」のそれぞれの出力と、同じ並列入力信号または並列入力信号のセット(連り)に基づく「アップセット済みアレイ」後のそれぞれの出力との間の値の差を意味する。処理が収束した後、その時は変更されている5つのセルメモリ値が、無作為に補正された出力において変化を生じさせる。他の場合においては、誤差回復が極めて急速であって出力行 m のセルが変化しなかったということが認められた。一般に、セルメモリ値の20%内の変化は、本明細書において規定されるアルゴリズム及び規則を用いるアレイによる処理演算を介して「治ゆ」される。

これらの誘引的固定点は認識プロセスを生じさせ、この認識プロセスは、ディジタル電子式フィルタにおけるものとは異なり、局所的な計算規則またはアルゴリズムにおける飽和があるので非線形である。セルのメモリ状態の値を固定し、次いで一連りの入力をアレイを通して任意の所与の順

いくつかのセルの状態及びその出力を永久的に連結することによって導入される可能性がある。

第5図の例に対する変化した値を下部の挿入図「アップセット済みアレイ」に示してあり、この挿入図において、円で囲んだ数値は、上部の挿入図に示したのと同じセル在り場所に対して、メモリ値 M_{ij} の前の値と比較して、該メモリに対する変化を示すものである。これらのアップセットした値は、第5図において矢印38で示す時においてそれぞれ指示されたセルに挿入される。出力において生じた全ての変化は記録され、そしてこれはアレイの挙動の測度である。アレイの内部で生ずるが出力行 m のセルに到達する前に修理される誤差は外に現われることがない。かなり小形のアレイに対しても、この適応自己修理プロセスはかかる変化に対して極めて感応的であり、全体的の前のメモリ状態へ急速に収束して戻るということが認められた。これを第5図に曲線36で示す。この曲線は、点38における5つのアップセット済みの値の挿入の後にアレイがその元の値に適応

序で送ることにより、どの学習済みの入力と異なる出力を生じさせたかを測定することができる。これらプロセスは、多数の異なる入力パターンを各出力内にマッピングし、そして、一般に、アレイの出力は全てのまたは若干の入力における小さな変化に対しては無感応的である。従って、学習済み入力の小さなひずみ(その距離で測る)があってもなお同じ出力が作られる。上記の他の方法である処理演算は、処理中の入力値またはメモリ状態値における小さな変化に不感応であり、これにより、同じ所望の出力が依然として作られる。また、各出力を、例えばデータベース内のアドレスとして用いることにより、アレイを、柔軟性ある内容アドレス指定可能メモリとなすことができる。

認識モードにおいて本発明適応プロセッサアレイ内に深くあるデータ値の動きは、帰納的方法で分析することができる。この場合においては、データ値は飽和し、そしてこの飽和値は対称的であるから、3つの値、即ち、0、 S_{max} 及び $-S_{max}$

がある可能性があり、これは、閉じたセット（1、0、-1）と考えることができる。

そこで、データ値がセルの一つの行から次の行へ下へ移動する際に、行内の1及び0の分布が無作為であると仮定することによってダイナミクスを検討することができる。この「無作為相近似」内で、+1及び-1が或る所与の行内に確率pをもって現われ、0が確率qをもって現われ、従って $2p + q = 1$ であると仮定する。行i+2内のセル、並びに行i+1及びi内のその親を考える。行i内の3つの親は出力 O_i 、 O_z 及び O_s をそれぞれ作る。これら出力は行i+1内の2つのセルに与えられ、上記セルは出力 O'_i 及び O'_z を作る。次に、行i+2内の素子の出力 O'' が計算される。この場合には、行iの上記3つの出力の $3^3 = 27$ の組合せの可能性がある。上記データ値は互いに独立であると考えられるから、最終の出力 O'' が0かまたは±1となる確率を計算することができる。そこで、行iにおける確率が与えられると、行i+2において0または±1を得

る確率 q' 及び p' が次の帰納関係式によって定まる。即ち、

$$q' = (1 - q - q^2 + 5q^3) / 4$$

$$p' = (1 - q') / 2$$

深いアレイにおいては、これら帰納関係式の安定な固定点、即ち、 $q = 1/5$ 及び $p = 2/5$ により、漸近挙動が定まる。即ち、0は比較的稀であり、大部分の出力は±1から成る。多数の入力信号を種々の大きさのアレイを通して送ることによってこの挙動の試験を行なった結果、アレイの飽和した出力中に0が現われるのは稀であった。定量的比較には、アレイのマトリックス内に深く0を現れさせる傾向がある（これが少ないものであっても）行を追加することによって相関を作るという配慮が必要となる。

上述の処理アレイは同構造の計算用セルから成っており、短い局所的接続線が直交格子内に配設されている。また、入力／出力はエッジ部においてのみ行われ、従って、接続リード線の長さが最短限と■なる。このようであるので、上記諸部材

をハードウェアとして簡単に構成できる。計算は全セルによって同時に行われるから、このような構成は極めて迅速である。しかし、主たる制限は、通例、入力信号をアレイへ送り、そして出力を該アレイから取り出すことのできる速度によって与えられる。

従来の多くの回路構成は第2A図ないし第2C図及び第3図の機能を行うように工夫されているが、第7図はセル12の構造に対する一つの可能な構成を示すものである。アレイの先行の行内の対角線的に接続されたセルからの入力 I_1 及び I_2 は加算器42へ送られ、この際、入力 I_2 はインバータ40を介して反転される。加算器42は、 I_1 と I_2 との間の差を表わす出力を乗算器44に入力として送る。加算器42からの入力のほか、乗算器44は、また、メモリM内に在るデータ値に、加算器42から受取った値を乗するため、セル内部メモリ46からの入力を有す。路線48及び50上の乗算器44からの出力は、第2A図の計算ステップの結果、即ち、 S_{max} 及び

S_{min} の限界内の式(1)の結果を表す。路線50上の出力 O_{is} は、アレイの次の行内の対角線的に接続されたセルに対する路線18及び20へ送られる。この出力はまた路線48を介して比較器52へ送られる。比較器52は、先ず、路線48上の信号によって表される値を、該当するセルの左の行セルからの入力線14上の、及び該当するセルの右の行セルからの入力線16上の信号の各々によって表される新しいデータ値と比較する。

第3図の説明に関連して示したように、上記入力のうちいずれか一つと比較した値が同じである場合には、変化及び更新値はない。しかし、路線48上の新しい値が、メモリ46の飽和限界 M_{max} 及び M_{min} 内で、入力線14及び16上の値のいずれよりも高いかまたは低い場合には、メモリ46の値は1だけ増加更新されるか（路線48上のデータ値が入力線14及び16上の値のいずれよりも大きい場合）、または1だけ減少更新される（路線48上のデータ値信号が入力線14及び16上の値のいずれよりも小さい場合）。

メモリ46において更新されたメモリ値は、そこで、乗算器44への入力として次のサイクルの演算に対していつでも使用できるようになっている。

比較器52からの出力線14及び16は、対象とするセルの左右の行セルへそれぞれ送るべき新しいデータ値信号の転送を行うようになっている。

第8図に示すものは、本明細書に示すアルゴリズム及び規則に従う処理演算を示す一例である。本例においては、対象とするセルをセル ij 並びにその行セル i 、 $j-1$ 及び i 、 $j+1$ とする。また、セル i 、 $j-1$ 、 ij 及び i 、 $j+1$ に対する現在のメモリ値がそれぞれ2、1及び2であるとする。また、入力 I_1 及び I_2 として先行の行から受取った更新済みの値がそれぞれ5及び3であるとする。Smaxは15であり、Sminは-15である。Mmaxは5であり、Mminは1である。

計算ステップにおいては、値 I_1 と I_2 との差が取られ、そして、乗算器44により、セル ij のメモリ内の値Mが乗ぜられる。その結果、

$$1 \cdot (5 - 3) = 2$$

となる。

この新しい値2は、次いで、入力として、出力線16を介してセル i 、 $j-1$ へ、及び出力線14を介してセル i 、 $j+1$ へ送られ、これらセルにおいて得られた新しい値と比較される。また、セル ij における上記新しい値2は、アレイセルの次の行内に接続されたセルに対する出力線18及び20上に出力 O_{ij} として送られる。

次に、セル i 、 $j-1$ 内の新しい値が5であり、セル i 、 $j+1$ 内の新しい値が3であり、これら値はいずれも、セルアレイの先行の行内の接続されているセルから受取られたものであってそれらの累算済みメモリ値を乗じたときの入力 I_1 及び I_2 に基づいて計算されたものであるとする。セル ij の新しい値2は、次いで、セル i 、 $j-1$ の新しい値5、及びセル i 、 $j+1$ の新しい値3と比較される。隣りの行セルと比較された値の一方がより高く、そして他方がより低い場合には、これら両者との比較の結果として、セル ij のメ

モリ状態に対する変化はないことになる。

しかし、上記比較は、セル ij が最低値を有しているということを示すものであるから、そのメモリ値は1だけ低くあるべきである。しかし、セル ij のメモリは既にMmin=1の下限值にある。従って、セル ij のメモリ値は1に留まっている。

以上、本発明をその実施例について説明したが、当業者は上述の説明に照らして多くの代替、変形及び変更を行うことが可能である。かかる代替、変形及び変更は特許請求の範囲に記載の如き本発明の精神及び範囲内にある。

4. 図面の簡単な説明

第1図は本発明にかかる適応プロセッサアレイ内のセル間相互接続の一例を示す結線図、第2A図、第2B図及び第2C図は、第1図のアレイ内のセルによって行われる3つの主な機能、即ち、アレイの処理演算に用いられるアルゴリズム及び規則に従って行われる計算、比較及び更新、並びに出力の機能を絵図的に示す図、第3図はアレイの処理演算に用いられる規則及びアルゴリズムに

対する論理流れ図、第4図は本発明にかかる適応プロセッサアレイのストロボ式サンプリングを示すための本発明適応プロセッサアレイ内のセル間相互接続の他の例を示す結線図、第5図は、本発明の自己修理の態様を示すために本発明アレイの出力の順次続くセット間の距離(差)を時間の関数として表した曲線図、第6図は飽和したデータ信号の比率を時間の関数として表した曲線図、第7図は本発明のアレイセルに対して用いられる回路図、第8図は本発明において示した規則及びアルゴリズムの下での処理演算を絵図的に示す図である。

12・・・セル、40・・・インバータ、42・・・加算器、44・・・乗算器、46・・・メモリ、52・・・比較器。

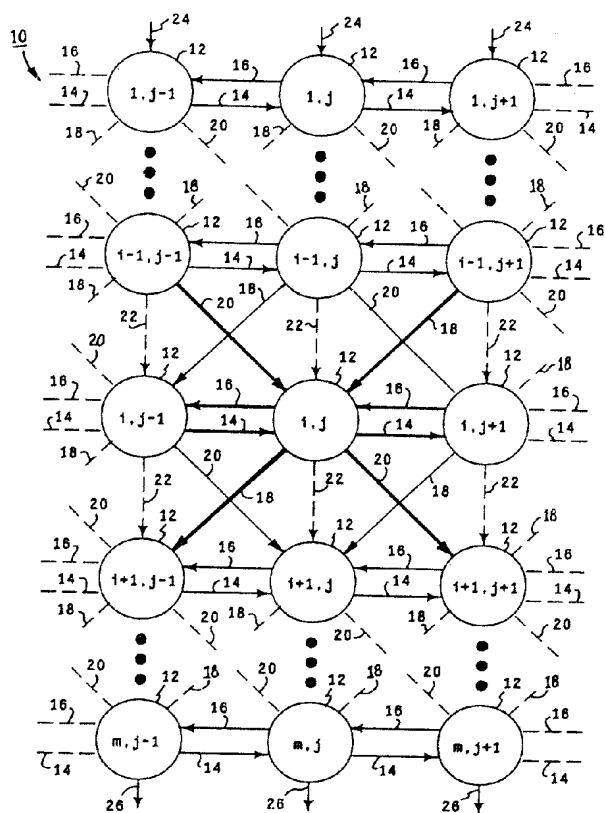


FIG. 1

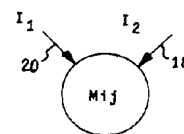


FIG. 2A

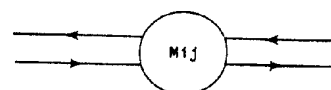


FIG. 2B

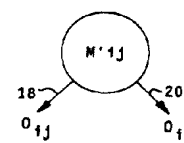


FIG. 2C

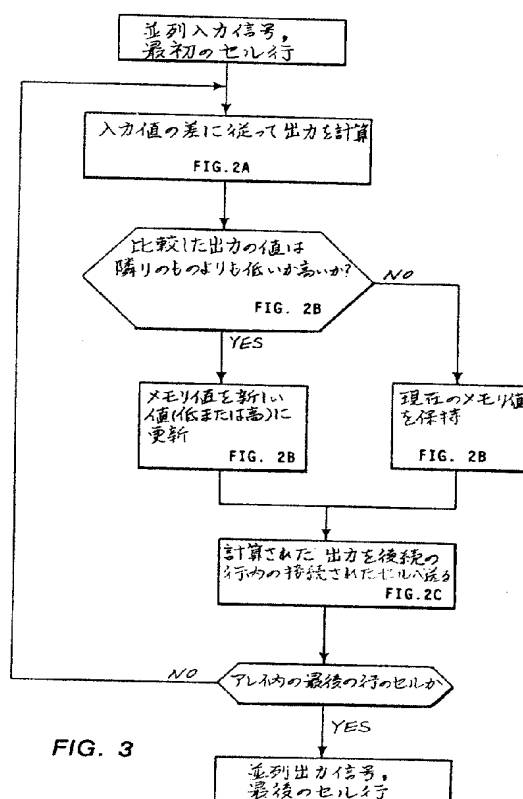


FIG. 3

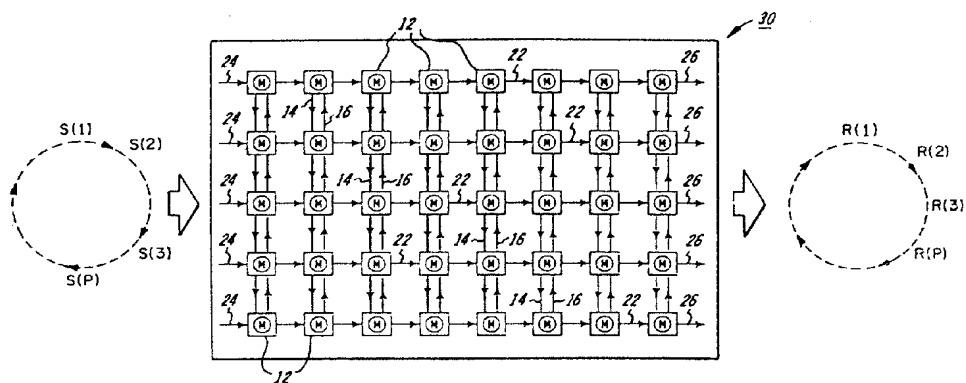


FIG. 4

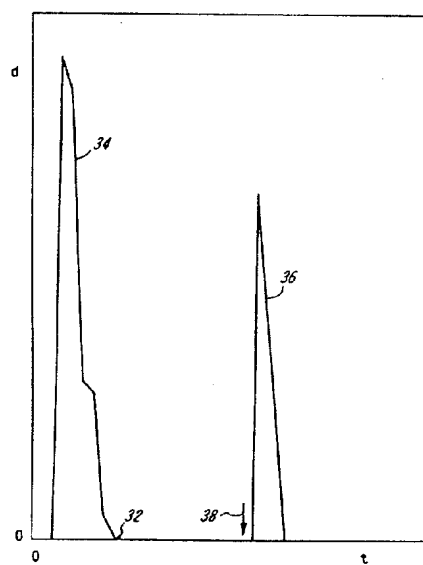
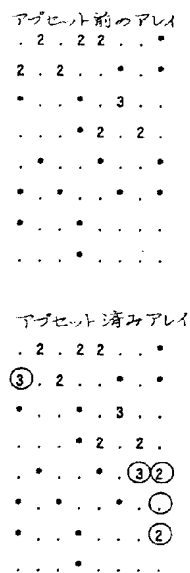


FIG. 5

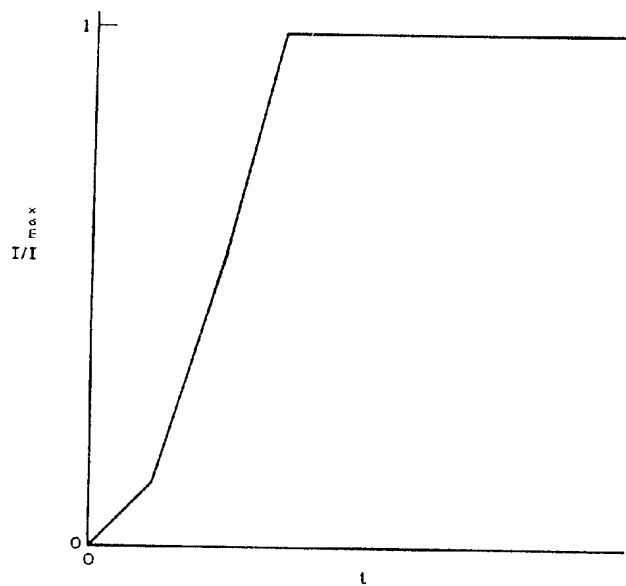


FIG. 6

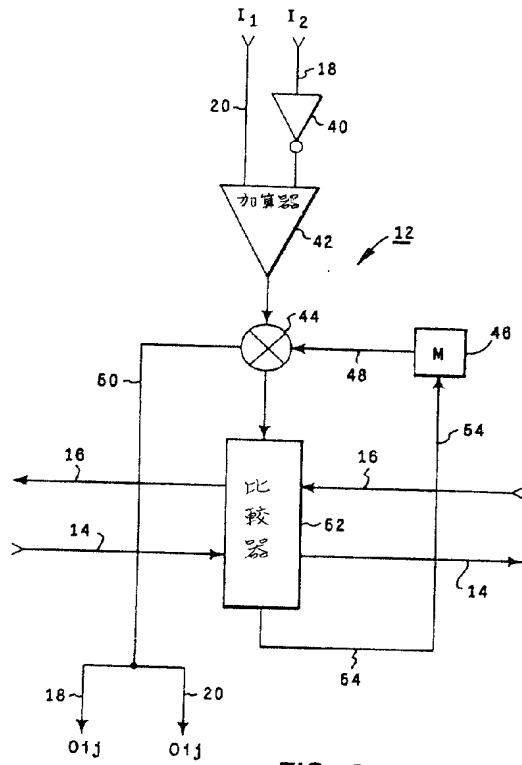


FIG. 7

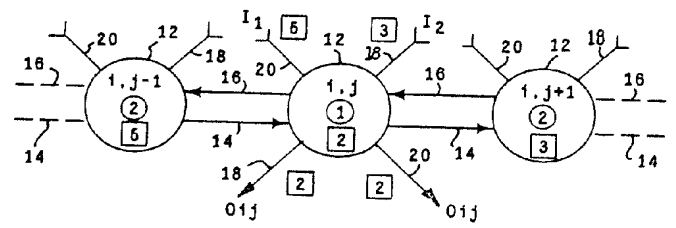


FIG. 8